

行政院國家科學委員會專題研究計畫 成果報告

子計畫三：系統晶片矽晶偵錯之良率提升

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-216-001-

執行期間：92年08月01日至93年07月31日

執行單位：中華大學電機工程學系

計畫主持人：陳竹一

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 12 月 6 日

對以智財單元為基系統晶片設計之驗證與測試技術開發研究 (II)

子計畫三：系統晶片矽晶偵錯之良率提升

Verification and Testing Technology Exploitation for IP-Based SOC Design

Sub-project 3: SOC Silicon Diagnosis and Yield Improvement

計畫編號： NSC 92-2220-E-216-001-

執行期限： 92/8/1~93/7/31

計畫主持人： 陳竹一 副教授 中華大學 電機系

一、中英文摘要

本計劃完成下列工作：

(1) 直覺式整合測試的工作環境

本篇報告採用 GUI(Graphic User Interface)使用者圖形介面的方式，架構出一個整合測試的圖形介面，對應於數位 IC 測試上良率及品質的變化作出評量。在此使用機率分佈模型，假設產品為常態分佈特性之結合，並以蒙地卡羅分析(Monte Carlo Analysis)以產生較佳亂數的方式來描述常態分佈。

為了有效的表達製程能力與測試能力上的一些參數，以圖形介面的方式來呈現，是最容易也最清楚於讓人了解的一種方式。在這個圖形介面上，可以清楚、即時的看到各個測試與製程參數對應於測試良率與測試品質的影響及變化。若欲得到令人滿意的測試品質與測試良率，也可藉由此一圖形介面所得到的資訊，來決定不同精確度測試機的採用或者不同測試規格的制定。

(2) 時脈抖動模型和波形產生以模擬為基礎的品質分析

面對未來的晶片速度越來越快的趨勢，系統對於抖動所產生的時序漂移容忍度也越來越小，所以不論是在電路的設計或是佈局，都必須非常小心抖動對電路的影響。

本篇報告當中，我們依照時脈抖動的特性，提出了一個模擬時脈抖動的方法，可以用來模擬並觀察當一個時脈訊號受到了時脈抖動所影響時，在輸出波形上所產生的變化，及預估不同大小的時脈抖動對於時脈訊號所造成的時序漂移，如此一來，當我們檢查待測電路波形時，我們可以快速且有效率的分析出造成抖動的原因，並預估它會對電路時序所造成的影響。

(3) 通用串列匯流排(USB)傳輸品質分析

本篇報告主要是在探討時序抖動對於通用串列匯流排(USB)傳輸電路傳輸品質之影響。報告中將提出一個以通用串列匯流排規格為基礎的電路模型，運用統計分析的方法探討其分別以資料-觸發編碼傳輸方式及傳統的資料/時脈傳輸方式傳送資料時，兩者之傳輸品質及時序抖動容忍度之差異。

(4) Tango-RM:一個電阻串聯連續參考值產生之強化排列結構

IC 隨著製程技術的進步，愈做愈精密，元件(component)的尺寸亦日趨減小，所以當一顆 IC 包含的元件數目愈多，則元件彼此間的相關性係數(correlation coefficient)也會增加，所以其匹配度(match)也會愈高，而依照以前的順序佈局(layout)排列方式，電路的累積誤差便會增加，如此電路的準確度便會相對的降低。

本篇報告是以相關性為考量，假設元件與元件之間是有相關性的，採用連續參考值產生器的電路架構，並引進元件彼此之間相關性。利用元件在空間上的排列方式，改善電路的線性度。我們推論出有規則性的一維排列方式，不但可以改善電路的線性度，並可以抑制梯度誤差。當元件的匹配性不高時，採用提出的 Tango_RM 的排列結構，使得電路的線性準確度提高，電阻二維排列方式，可以獲得較好的線性度。

(5) 測試規劃以良率與品質評估

本報告主要探討因積體電路製造技術的快速發展，測試機卻因 OTA(Overall Timing Accuracy)的影響在未來測試造成測試良率降低，而以 Fermi 參數、OTA、TS 與 DS 等測試機實際之測試能力參數，提出一套測試良率之預估模型，更進一步瞭解問題所在，與參數間的變化關係。

關鍵詞：晶圓分布圖，良率預估，設計規格，測試規格，製造能力，矽晶偵錯，良率分析，測試經濟

Abstract

We have accomplished the following works:

(1) **"An Intuitive Workspace for Integration of Testing,"** preliminary report:

In this report, a GUI (Graphic User Interface) workspace of integration testing of yield and quality is implemented. Monte Carlo method is adopted to evaluate the product yield, the test yield and quality and their corresponding distribution, to determine the test guardband, to select the proper ATE and to analyze the process variation.

Additionally, auxiliary figures are sketched to help understanding the relationship of manufacturability and test parameters. By the figure interfaces, it is easily to express each test and manufacture parameter, correspondent to test yield and test quality's influence. For a specific receiving test quality and test yield, the workspace can be used through the information received by this figure interface to determine the adoption of different tester accuracy, or different test specifications.

(2) **"Clock Jitter Model and Waveform Generation for Simulation-Based Quality Analysis,"** preliminary report:

It is the necessary trend to face the future chip design in high speed clock signal. There are two reasons to let the clock margin get smaller. One is that jitter still keeps the variation. Another is the clock period will be shorter than before.

In this report, a clock jitter model is presented to describe the random and periodic jitter phenomenon and a clock waveform generator with jitter is implemented for quantifying the quality analysis of system performance by simulation-based methods. It is convenient to find out the problem of the system performance affecting by the jitter and to reduce the jitter variation.

(3) **"Transmission Quality Analysis for Universal Serial Bus(USB),"** preliminary report:

This report describes an analysis of the effect of jitter and the transmission quality in high-speed serial transmission circuit.

We provide a USB basic circuit model and use the statistic method to analyze the transmission quality and jitter tolerance under data-strobe encoding or data/clock transmission schemes.

(4) **"Tango-RM: An Enhanced Permutation Scheme for Resistor-String Successive Reference Generation,"** preliminary report:

With the IC process technology progress, the sizes of components are getting small. Since the strongly correlation coefficient between components, it results in more components matching/mismatching. Successive reference generation circuit is analyzed to elevate the effectiveness of spatial correlation and used to demonstrate the effect of component's spatial correlation. In the traditional ordered layout permutation, the accumulate errors increase and accuracy of circuit will become bad. Thus, this report is focus on the space correlation and proposes a permutation structure called Tango_RM. This method can improve the circuit linearity accuracy.

In the arrangement of regular one-dimension permutation, our results not only improve circuit's linearity but also suppress graded errors. In two-dimension permutation, our results can also get good linearity even when components are getting lower correlation.

(5) **"Test Guardbanding for Yield and Quality Estimation,"** ISTW04

Testing is a decision process which evaluates whether an object's capability meets a pre-requested specification. The yield loss due to tester inaccuracy is becoming important while the technology is getting improvement. In this work, an inductive classification procedure (ICP) is proposed to determine the test guardband to maintain the product quality required. By evaluating the specifications in the ITRS Table it is shown

that the ICP can depict proper yield curve as predicted.

Keywords: Wafer Map, Yield Prediction, Design Specification, Test Specification, Process Capability, Silicon Diagnosis, Yield Analysis, Test Economics

二、計劃緣由與目的

半導體商務的目標是要使晶片製造，對積體電路製造者、其客戶、與其提供者和策略伙伴多贏共同受益。由於 VLSI 技術的進步，在設計、驗證和測試晶片方面複雜度與困難度的增加，使得達成以上目標比提供製造技術還難。整體系統朝向快速、複雜、和高密度發展。以 0.35 μ m 製程而言，一顆單晶片上可承載四百萬個邏輯閘，而 0.13 μ m 製程，一顆單晶片上更可承載四十億個邏輯閘，單晶片系統 (System on a chip) 已成為未來趨勢，如此的設計方式也引發了一系列新的挑戰。使用單晶片系統設計的產品因零件數目減少以及體積變小，使得整體系統更具高功能及高可靠度。然而其製造過程 (Manufacturing Process) 亦或運算過程 (Operation Process) 的測試問題也越來越具有挑戰性，以 Intel 的微處理器 Pentium Pro 為例，可測試架構與可測試設計，不僅可幫助測試工程師增加晶片之測試品質，亦可幫設計者除蟲，尚可幫助製程工程師提昇良率，測試架構與可測試設計已是產品開發不可或缺的工具與依賴。另一方面電路、系統和應用的需求，晶粒面積和元件密度愈來愈大，這會使得晶粒的生產良率降低，並使得測試面臨嚴苛的挑戰，種種不利的因素皆使得生產成本愈來愈高。對製造商而言，能預估一個產品的生產良率是非常重要的事情；在策略上，良率預估可用來評估一個產品是否可經濟地適用在某種先進的製造技術上。在實際的應用中，良率預估更可用來評估一筆訂單所需的晶圓數、生產時間、流程及單價。錯誤的預估，不僅會使得生產力下降，亦使得生產成本增加。事實上，良率預估應是決定價格的中心。

隨著半導體製程之進步，六吋晶圓廠次微米製程已逐步為八吋晶圓廠深次微米製程所取代，亦有晶圓廠準備以十二吋晶圓生產，由於技術的演進，衝擊著現有模擬模

型的適用性；產能的擴充影響產銷結構，價格是一因素，IC 品質未來不只影響價格，亦是產品立足於國際市場的基石。再者，目前國內於科學園區內，預計有三十幾座十二吋晶圓廠，未來幾年內台灣即將成為世界三大半導體製造中心，世界第一大專業代工中心，月產量超過數十億顆待測晶粒，生產線測試的需求必定大增，是以不論是業界或學界皆有興趣於新的測試法則。IC 的開發流程，從設計、製造到測試，以往人力物力的投資於改進和縮短設計和製造流程，相對的在測試流程也需要受到同等的重視，如何在最經濟的條件下，增進產品的品質達到‘零瑕疵’，也同時提升產品的競爭力，是一個重要課題。由經驗式或由理論值推知，增加測試的深度/程度（亦即，測試品質、障礙涵蓋率）比加強製程良率有效，更精確的時序障礙模型，如延遲障礙，須要受到正視。

對以智財單元(IP)為基礎之系統晶片設計，不僅僅是事前要經過實體矽晶驗證 (Silicon proved)，亦要能事後保固偵錯 (Silicon diagnostic)，某智財單元即使是製作過無數次沒問題，也不能保證下一次一定沒問題，所以對智財單元的擁有者而言，具有矽晶偵錯和故障分析的能力是很重要的。晶片製造完成後，各個智財單元如何進行矽晶偵錯端賴於可測試性設計 (Design for testability) 技術的應用與一組完善的測試圖樣 (Test patterns)，以及完備的測試儀器與設備；尤其是分析軟體系統以良率評估與偵測瑕疵和統計技術以擷獲資訊，更是不可或缺的關鍵。矽晶偵錯更可利用設計階段所推導的驗證測試圖樣及特殊電路，亦可根據驗證所需，擷取參數，相互驗證。

再者，由於隨著元件速度的增進和自動測試設備 (ATE) 速度進步的遲緩，導致主要的良率損失 [1-ii]。以 1999 年為例，就已遭逢自動測試設備不夠精確而導致良率損失 10% 以上。亦有研究 [6] 報告指出，針對 RAMBUS 產品而言，自動測試設備精確度，每增進 1ps (picosecond)，每年可節省 1 百萬美元。是以測試分析與測試防護帶問題亦是值得研究的課題以利提昇品質和降低

成本。自動測試設備雖愈來愈貴，然而，不僅不夠精確(比起待測電路)，針測腳位數、耗電功率、混合訊號、甚至於 RF 電路，皆使得自動測試設備愈來愈貴且愈來愈難設計，也相對來說愈來愈不夠用，徒增整體的生產成本。

測試工程師的終極夢想是晶圓測試 (Wafer-level testing) 與預燒 (Burn-In)，因為在晶圓測試與預燒總是比單一個晶片來得經濟省事。是以晶圓測試資料之分析，愈來愈凸顯其重要性。近年來晶圓測試與預燒的技術日益成熟，在國內現在已經有公司成立。除此之外，今年應有十二吋晶圓廠啓用，相對於八吋晶圓而言，十二吋晶圓製程分佈愈顯寬大，製程控制愈益困難，而品質與良率愈益受到挑戰。

本計畫“系統晶片矽晶偵錯之良率提升”為“對以智財單元為基系統晶片設計之驗證與測試技術開發研究”的一子計畫。配合整合計畫，以三年的時間執行，在本計畫中，研究包括三項主題：(1) 矽晶診斷與良率分析，(2) 良率強化與品質提昇之測試分析和(3) 高速串列輸出入測試。

第一個主題從晶圓圖樣裡分析晶圓瑕疵分佈進而依系統晶片上不同電路型式及連結網路建構良率模型。其中，參數模型技術方法將用來重建晶圓圖樣特徵，並且這些參數將用來當成統晶片上不同電路型式的偵錯指標。在良率分析過程中，從製程參數和實際量測資料同時建構從製程、元件、電路、模組到系統階層的統計模型，並交互驗證。並藉理論分析結果幫助晶圓偵錯以增進晶片良率與提升晶片品質。另外第二個主題亦欲以系統分析方式研究系統晶片之整個設計、測試與製造的流程，明定其規格與各流程能力。據此模型，交互評估規格與能力以改進晶片良率與提昇晶片品質。測試防護帶問題亦會研究以降低成本。最後一個主題擬研究系統晶片之高速串列輸出入的測試，首先希望能研究激突(jitter)不同型的分類，並了解激突的成因，據此來推斷激突的來源，並可特徵化激突；激突加上偏移(skew)分析，不僅可用於串列輸出入電路，尚可延伸至並列輸出入電路；本計畫將以

IEEE 1394 (FireWire) and USB (Universal Serial Bus) 為研究對象，在有激突加與偏移的情況下，分析及量化其通訊品質。

三、研究成果

- A. 完成直覺式整合測試的工作環境。
- B. 完成時脈抖動模型和波形產生以模擬為基礎的品質分析。
- C. 完成通用串列匯流排(USB)傳輸品質分析。
- D. 完成 Tango-RM: 一個電阻串聯連續參考值產生之強化排列結構。
- E. 完成測試規劃以良率與品質評估, Int'l Test Synthesis Workshop 2004.

四、結論與自評

本計畫研究內容與原計畫目標相符，尤其是在類良率模型的建立，以此模型所做的良率評估，可使吾人分段模擬，其結果幾乎與不分段一致；另外對於不同規格參數轉換的探討，不僅可用於設計時做最佳化之指引(尤其是高靈敏度電路如: 高速數位電路、類比電路、高頻電路)，亦可用於測試圖樣產生時最佳測試參數選取以及測試圖樣減少的指引，亦可用於晶片測試時做為晶片診斷的指引。是以本計畫在這一年度的工作中，獲得豐碩的成果，亦在許多項目上值得繼續延伸。

五、參考文獻

- [1] *International Technology Roadmap for Semiconductors*, 1999 and 2001 Editions.
- [2] Y. Zorian, E. J. Marinissen, and S. Dey, "Testing Embedded-Core Based System Chips," Int'l Test Conf., 1998, pp. 130-143.
- [3] A. Carbine and D. Feltham, "Pentium Pro Processor Design for Test and Debug," Int'l Test Conf., 1997.
- [4] A. V. Ferris-Prabhu, Introduction to Semiconductor Device Yield Modeling, Artech House, Inc., 1992.
- [5] E. R. Hnatek, Digital Integrated Circuit Testing from a Quality Perspective, Van Nostrand Reinhold, 1993.
- [6] W. Dalal and S. Miao, "The Value of Tester Accuracy," Int'l Test Conf., 1999, pp. 518-523.