

行政院國家科學委員會專題研究計畫 成果報告

上板電子封裝掉落衝擊動態系統之設計 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 98-2221-E-216-011-
執行期間：98年08月01日至99年07月31日
執行單位：中華大學機械工程學系

計畫主持人：陳精一

計畫參與人員：碩士班研究生-兼任助理人員：謝國章
碩士班研究生-兼任助理人員：王仁宏

處理方式：本計畫可公開查詢

中華民國 99 年 10 月 13 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

上板電子封裝掉落衝擊動態系統之設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 98-2221-E-216-011

執行期間：2009年08月01日至2010年07月31日

執行機構及系所：中華大學機械工程學系

計畫主持人：陳精一 教授

共同主持人：無

計畫參與人員：謝國章、王仁宏

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

赴國外出差或研習心得報告

赴大陸地區出差或研習心得報告

出席國際學術會議心得報告

國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

中 華 民 國 99 年 08 月 26 日

中文摘要

對半導體產業以及製造商而言，錒錫接點可靠度一直是半導體產業以及製造商重要的議題。隨著半導體封裝技術的進步，陣列錒錫接點以大部分取代了傳統打線接合或是自動接合(Tape Automated Bonding; TAB) 技術，並且大量使用在可攜式電子產品之中。然而可攜式電子產品在使用造成掉落或碰撞且在運輸途中產生的機械衝擊容易使產品失效。基於欲了解產品的失效機制，許多學者及研究人員已開始研究掉落測試與分析。

本論文的目的是根據JEDEC標準在實驗室中建立掉落測試機。它包括(1) 驗證掉落測試機的掉落等級是否達到JEDEC規範，(2) 掉落測試的有限元素模擬和(3) 比較動態響應的實驗和數值模擬方法。

利用頻譜分析儀對測試板進行頻譜分析，量測自由振動及固定四點振動下測試板的前六個自然頻率及振型，再使用有限元素軟體ANSYS進行模擬分析，並比對實驗與模擬的測試板自然頻率及振型結果，用以驗證測試板材料的可信度，以作為上板掉落測試模擬中測試板的材料依據。掉落測試機的掉落測試標準已可以達到三個條件標準：Condition B、G和H，這已經滿足了大多數電子產品製造商，特別是Condition B。利用加速度邊界法(Input-G)、支承激振法(Support Excitation Scheme, SES) 和位移邊界法(Input-D) 三個有限元素模型與實驗進行動態響應的比較。根據Condition B的理論脈衝激振，位移邊界法的動態響應的應變不符合實驗測量，因此證實位移邊界法不可用於模擬設計分析。加速度邊界法在動態響應下的應變峰值雖然無法到達到實驗值，但是可以藉由加入初速度的負載進行修正。最後，實驗和其他兩個方法在動態反應下的應變是可以被接受的。在動態響應的應變波形，加速度邊界法明顯優於支承激振法。

關鍵字：JEDEC，掉落測試，加速度邊界法，位移邊界法，支承激振法。

ABSTRACT

Semiconductor and electronic product manufacturers pay much attention to the solder joint reliability. Due to rapid advancements in the electronic industry, packages with fine pitch ball grid array have been increasingly used in portable electronic devices. The mechanical shock resulted from mishandling during transportation or custom usage may lead to malfunction of product. Researchers pay more attention to drop test studies and analyses in understanding the failure mechanism for the past years.

The purpose of this thesis resides in the reliability of a JEDEC standard board level drop test apparatus established in laboratory. It includes (1) verification of drop condition level according to

JEDEC standard, (2) finite element drop simulation and (3) comparison of dynamic responses of experimental and numerical simulation methods.

In order to verify the correctness of the material property, the first sixth natural frequencies and vibration modes are verified for free vibration and four points fixed vibration of a PCB board. The drop test apparatus can reach three conditions: B, G and H which is satisfied by most electronic product manufacturers, especially for condition B. Three finite element models, Input-G, Input-D and Support Excitation, were performed and compared the dynamic responses with experimental method. According to theoretical impulse excitation condition B, the dynamic responses of strain for the Input-D method do not meet those of the experimental measurement. Therefore, it is not an appropriate finite element model for Input-D method. The dynamic responses of peak strain for Input-G method are less than those of experimental method. However, this can be compensated by considering initial velocity as additional loading. Finally, the correlations of the dynamic responses of strain between experiment and the other two methods are under accepting level. But in views of the pattern of dynamic response strain, the Input-G is much better than support excitation.

Keywords: JEDEC, Drop test, Input-G, Input-D, Support Excitation.

前言

電子產品的基礎是積體電路(Integrated Circuit, IC), 而電子構裝製程的目的在賦予 IC 元件一套組織架構, 使其能發揮穩定的功能。但在電子產業中電子構裝(Electronic Packaging)的失效(Failure)一直被關心的重要課題之一, 失效是指電子產品中任何一個元件喪失其功能, 導致電子產品無法正常運作。為何構裝會失效? 其中一類的問題都發生在錫錫接點, 如圖一所示, 錫錫接點是連接晶片與印刷電路板(Print Circuit Board, PCB)的重要橋樑, 並扮演著導熱、導電、黏著及支撐的腳色。



圖一 錫錫接點示意圖

早期的錫球中都會摻入鉛的材料, 但在這幾年環保意識的抬頭下, 鉛的材料已經被禁止使用, 這樣的改變使得無鉛合金錫球比以往的鉛錫合金錫球更硬、更脆, 因此錫錫接點的失效與電子構裝的失效有密切的關係, 所以引起許多產學人士研究。針對此問題, 電子工程設計發展聯合會(Joint Electron Device Engineering Council, JEDEC)訂定了加速熱循環測試(Thermal Cycling Test, TCT)、加速熱衝擊測試(Thermal Shock Test, TST)、電力循環測試(Power

Cycle)等規範，作為探討鉚錫接點可靠度的方法，傳統的上板電子封裝可靠度是指鉚錫接點在熱循環下之疲勞強度或稱疲勞壽命。

隨著科技的進步及 3C 產業蓬勃的發展，各式各樣的電子產品已充斥在吾人的生活中，在消費者的需求下，各種電子產品也隨著輕、薄、短、小方向持續發展。各種電子產品越變越小，這也使得消費者在使用中容易產生掉落或碰撞等情形的發生再加上業者運輸過程所產生的機械衝擊，將造成錫球接點失效進而導致產品無法使用，因此掉落衝擊時的上板電子封裝錫球接點可靠度是半導體與電子產品製造商極度關切的問題。

研究目的

在現今的消費需求下，各種可攜式電子產品推陳出新的速度越來越快，新品研發的過程中勢必進行掉落測試，而掉落測試又必須消耗大量的時間和製作不同產品所消耗的金錢。有限元素分析軟體的加入不僅可加快掉落測試的速度，當更改產品外型或材料時，可以模擬方式測試結果無需先製作產品，這樣的方式可大大的提升業者在市場上的競爭力。

在掉落測試這塊領域中，很多學者只提出加速度邊界法或支承激振法單一種模擬分方式進行討論，並無將這兩種方法整合討論的文章。在本文中，將位移邊界法(Input D)、加速度邊界法及支承激振法三種模擬方法一起討論，位移邊界法是將加速度邊界法輸入之衝擊加速度改變為衝擊加速度對時間積分兩次後所得之位移作為邊界條件，使用 ANSYS 進行分析。以上三種方法利用實驗量測的衝擊波為做為各方法的邊界條件，並利用實驗量出的應變比較各方法模擬出的應變結果，並討論各種模擬方式的優異性。

文獻回顧

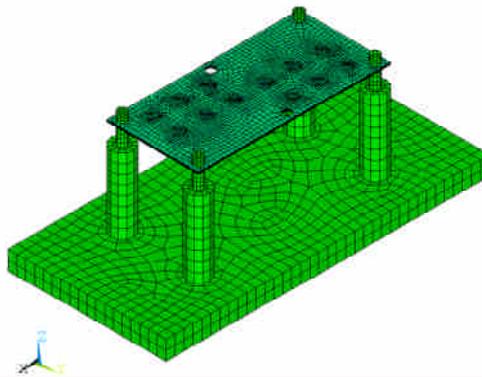
在掉落測試發展初期，主要是以產品掉落試驗為主，大多以試體在不同角度與高度掉落，比較其產生的衝擊反應、PCB 的衝擊加速度大小與應變、產品外殼以及電池座的可靠度，相較於產品內部的 IC 元件，該項測試更適用於產品外部結構，比如產品的機殼、螢幕的破壞。Lim 與 Low[1]應用掉落測試機，以行動電話進行實驗，探討電子產品在不同掉落高度與角度所產生的衝擊加速度，可藉此改良產品的設計以及材料的選擇。Seah 等人[2]考慮產品受到衝擊時，內部 PCB 的反應是封裝體失效的因素之一，進行產品掉落測試，量測內部 PCB 的應變與外部機殼的加速度，結果顯示應變與加速度的有良好的相關性。

但由於產品的結構複雜，無法有效量取鉚錫接點的暫態資料，所以對於評估產品中表面黏著元件的可靠度，仍具有困難與問題存在，欲解決上述問題則必須進行上板電子封裝的掉落。Ong[3]等人分別進行產品與上板掉落測試，並且比較兩者產生的衝擊脈波與應變的差異，結果顯示在產品掉落測試中，PCB 的變形受到產品機殼外型影響。而在上板掉落測試中 PCB 的變形主要來自掉落時慣性力的影響，並且 PCB 的彎曲在上板掉落測試的條件下明顯大於產品掉落測試。

上板電子封裝的掉落測試不易達到，並且無法有效控制試片掉落的角度及產生有效的衝擊加速度效果，因此電子工程設計發展聯合會提供了一個上板電子封裝掉落的規範[4-5]，該規範是一種所謂衝擊控制形式(Pulse Controlled)的掉落方法，內容制定了掉落測試機的設計概念、實驗用的試片、資料擷取方式以及掉落衝擊所需的脈衝狀態。掉落測試機台的設計影響衝擊脈波的因素有許多，建立一台掉落測試機需要花費許多時間進行實驗使其滿足 JEDEC 規範的掉落條件，Ng[6]等人利用實驗方法找出不同的設計參數對衝擊脈波影響，設計的參數包含掉落高度以及掉落台與吸收層的材料性質、尺寸。當所有參數確定後，則每次實驗可具有重現性，並可進行上板掉落測試評估錫錒接點可靠度。

然而可攜式電子產品為了配合市場多元化需求，產品的研發時間縮短，因此掉落實驗的花費與時間將是產品研發的瓶頸之一。欲解決上述問題，許多研究人員利用工程分析軟體進行掉落模擬，利用其模擬結果從事封裝體失效機制探討。由研究文獻可知，掉落測試動態模擬可分為自由掉落法、輸入加速度法與支承激振法三種，以上方法都是所謂加速度衝擊波掉落，差別在於數值模型的建立與模擬方法不同。

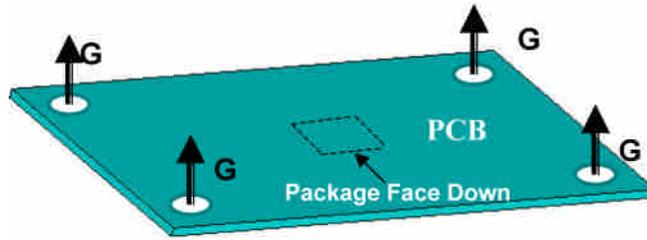
自由掉落法是模擬整個掉落過程，在模型的建立包含掉落台、PCB 組件、固定 PCB 的角柱螺絲、底部剛體座及其上的衝擊吸收層，如圖二所示。由於自由掉落法模擬的不確定因素太多，包括掉落台、夾具、接觸面及導桿之間複雜的摩擦、接觸狀況，衝擊面之間的力學行為等，欲達到與實驗數據吻合是非常困難的一件事，必須調整正確與適當的模型參數。



圖二 自由掉落法示意圖

Xie 等人[7]採用非 JEDEC 規範之自由掉落法，進行手機上板電子封裝測試與模擬，比較 PCB 的位移與塑性變形反應，但其結果不佳。相關上板掉落測試與模擬[8-9]顯示衝擊脈波與應變在測試與模擬兩者之間有合理的相關性，但不甚理想。因此以自由掉落法模擬是不切實際的，目前已不採用該方法。

由於自由掉落法模擬方式不甚理想，Tee[11-19]研究團隊開發所謂加速度邊界法(Input G Method)來進行模擬。該方法是基於進行掉落測試之後，實際掉落的加速度歷程為已知，在模擬時將已知的加速度歷程視為 PCB 螺絲固定處的邊界條件。而使用實驗得之衝擊脈波的優點在於，實驗所得衝擊脈波已將掉落測試環境中的不確定因素考慮在內，圖三為加速度邊界法示意圖。配合實驗結果，將衝擊脈波定義於螺絲固定處，由於僅建構 PCB 及封裝體，因此模型的元素大量減少，並可將錫球分割為較細的元素，獲得較佳的模擬結果。

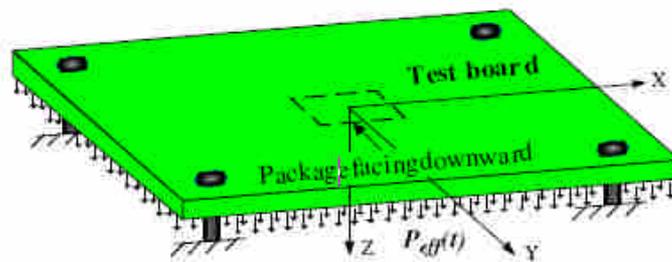


圖三 加速度邊界法示意圖

在 Tee 的研究團隊中，由[13]可知實驗與模擬在 PCB 板子長度方向的應變具有高度吻合性，由此可以確認掉落數值模擬的可靠性，鉛錫接點的應力反應就可視為失效判別依據，由[14]可知剝離應力(Peeling Stress)是導致錫球接點破壞最主要的原因，同時也發現鉛錫接點的應力、應變與電阻反應之相關性。此點說明了掉落模擬的必要性，因為進行掉落測試時無法在如此小的鉛錫接點量測應力。

由於加速度邊界法已大量簡化模型，模擬時間的長短在於模擬的步進時間，所以使用 ANSYS 可縮短模擬時間。但因為 ANSYS 無法接受螺絲部位加速度的外力負載，故加速度邊界法並不適用於 ANSYS 的暫態動力分析模組，為解決此問題可將加速度歷程對時間積分兩次，獲得位移的歷程再施加入螺絲固定處即可。再者，加速度邊界法的解包含有剛體運動，若要模擬測試板承受重複的掉落衝擊，藉此了解構裝體承受連續衝擊的力學行為是無法達到的。

為了解決上述問題，由 Lai[18-21]研究團隊採用所謂支承激振法(Support Excitation Scheme)來進行模擬。支承激振法[18]是源於振動學中支承外力擾動的動態系統之數學模式。若將角柱螺絲假設為剛體，則角柱螺絲以下的部份是支承座，PCB 視為所欲探討的系統，衝擊發生後加速度脈波傳遞至角柱螺絲，故 PCB 的振動反應來自於角柱螺絲支承擾動。將參考座標設定在 PCB 螺絲固定處，整個系統可分離為 PCB 試片與六角螺絲以下的支承座兩個獨立系統，其中支承座系統非欲探討的範圍可不考慮，PCB 試片系統可轉換為螺絲固定處之位移為零，螺絲固定處的擾動轉化為等效外力作用於整個 PCB 試片系統上，如圖四所示。此模擬可直接在 ANSYS 的暫態模組求得解答。

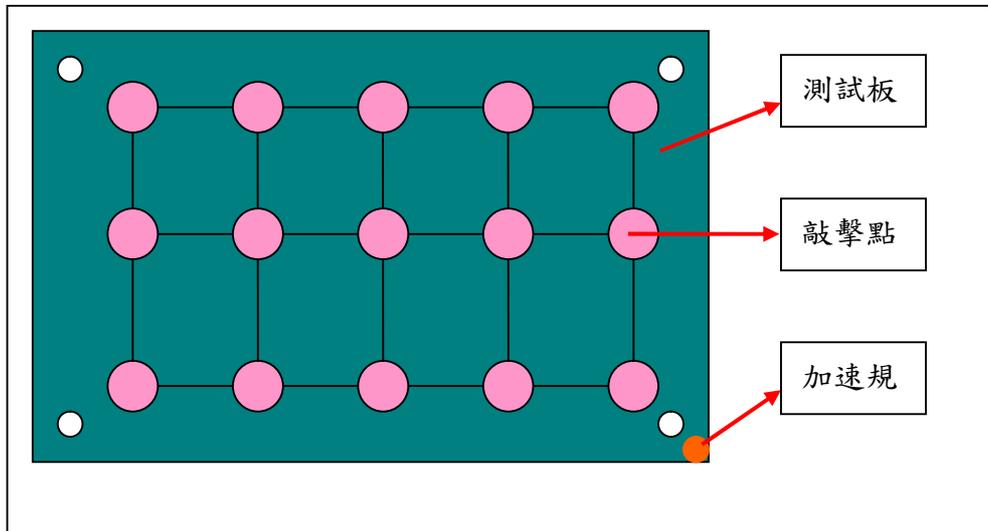


圖四 支承激振法示意圖

研究方法

首先吾人利用自然頻率測試方法量測自由振動及固定四點振動兩種模式下 PCB 的自然頻率，並利用 ANSYS 分析出的頻率進行比對，以驗證 ANSYS 軟體中材料設定的可信度。振動

量測原理，先將測試板規劃出 5×3 的敲擊點，並將加速規置於測試板的右下角處，如圖五，是以衝擊錘敲擊測試板產生一力做為激振，經由測試板將振波傳至加速規位置測得一加速度值，以軟體做快速傅立葉轉換(FFT)，可測得自然振動頻率響應(Hz)。依次將 15 點敲擊完成後，將數據數入至 STAR 軟體，利用軟體將 15 點的振動數據整合為實際振動情形，並顯示出其振動模態。



圖五 測試板敲擊點及加速規位置圖

以目前業界普遍使用的掉落條件 Condition H、Condition G、Condition B 的環境進行掉落測試，規範所要求的項目為掉落高度、速度改變量、峰值加速度以及衝擊作用時間，撞擊面材料選擇如表一所示，以符合各條件的環境需求。

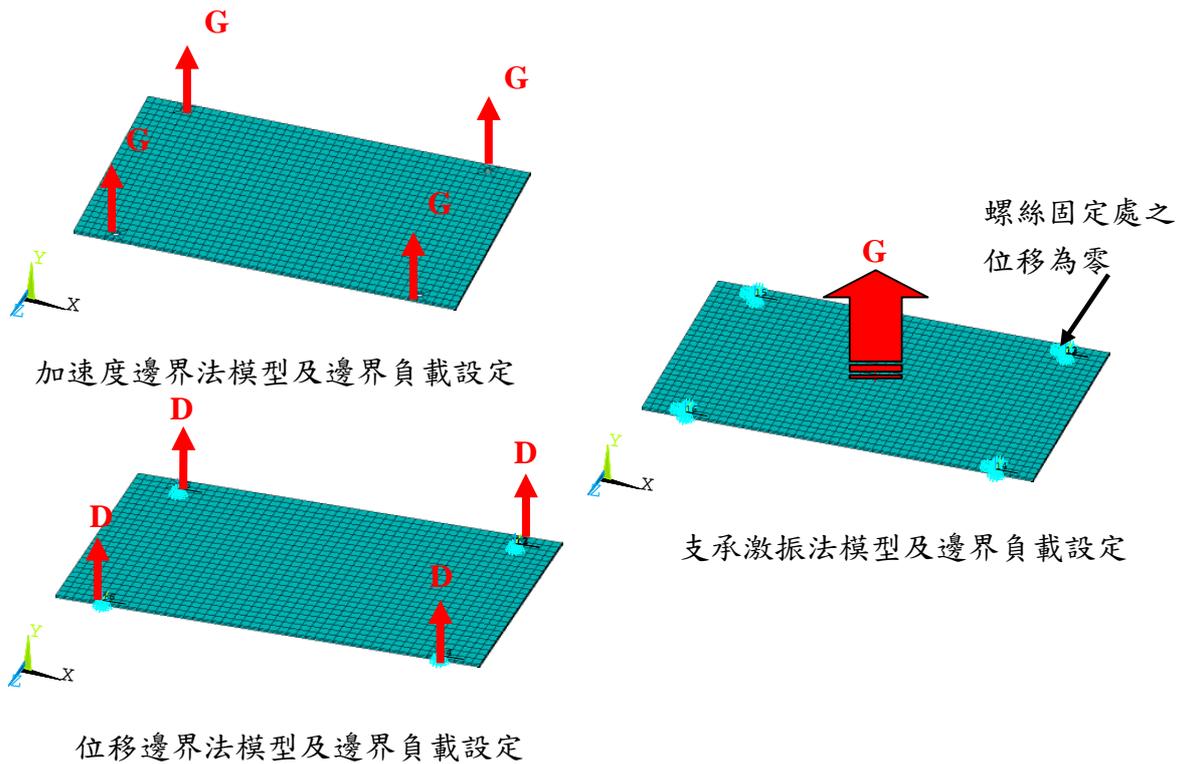
表一 各條件撞擊面材料表

條件	材料/厚度(mm)
Condition H	玻璃纖維(FRP) /5 mm
Condition G	電木(BAKELITE-7110) /10 mm
Condition B	聚碳酸酯(PC) /10 mm

在測試機板中央黏貼單軸向應變規，因為只量測測試板長度方向應變所以橫貼於測試板上，並將加速規鎖於掉落桌上的角柱螺絲旁以量取每次掉落實驗中的峰值加速度以及衝擊作用時間，加速規的原理主要利用在掉落衝擊時加速規產生的電壓在除以加速規靈敏度即可獲得實驗衝擊時所產的的脈衝加速度。將應變規及加速規接至資料擷取裝置的加速度擷取卡及應變擷取卡上，之後將資料擷取裝置與電腦連接及完成動態資料擷取系統的架設。

使用有限元素軟體 ANSYS 對加速度邊界法、位移邊界法和支承激振法三種模擬方式進行探討。首先在模擬中建立一測試板有限元素模型，測試板材料採用振動測試中所用之材料參數，輸入理論 Condition B 衝擊脈波的半正弦波，以比較三種模擬方式的差異。

加速度邊界法模型的邊界設定，在四角的螺絲固定處加入理論的加速度；位移邊界法模型的邊界設定，在四角的螺絲固定處加入理論的加速度對時間積分兩次後的位移值；支承激振法模型的邊界設定，在四角的螺絲固定處設定位移為零進行鎖點，並在模型的所有元素中加入理論的加速度。如圖六所示。



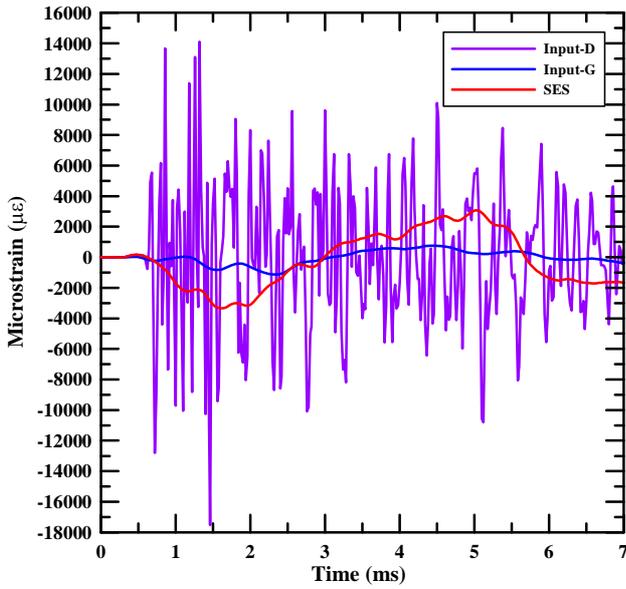
圖六 三種模擬方式模型及邊界負載設定

從圖七所示，為測試板上部中心的長度方向也就是 X 軸方向應變，其測試板上部中心為測試板黏貼應變規位置。可以得知位移邊界法與其他兩種方法的結果差異很大，所以位移邊界法將不再進行模擬與實驗的討論。

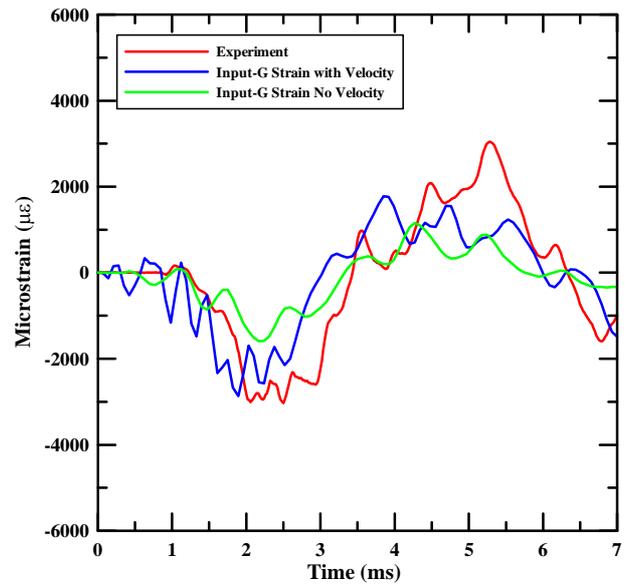
在以下的模擬中將對加速度邊界法及支承激振法兩種模擬方式輸入 Condition B、Condition G、Condition H 三種條件下實驗量測的加速度值作為邊界條件進行模擬，測試板材料採用振動測試中所用之材料參數，三種條件的加速度值各採用採用 Condition B 實驗中的第五次掉落測試的加速度結果、Condition G 實驗中的第三次掉落測試的加速度結果及 Condition H 實驗中的第二次掉落測試的加速度結果。

文獻中加速度邊界法僅在測試板四角螺絲固定處加入加速度值，在模擬中發現應變峰值並未到達實驗值並且有很大的差異，故在模擬中對測試板加入掉落台末速度並進行比較，在圖八~十中比較出有加入末速度的應變結果比沒有加末速度的應變結果更接近實驗應變的峰值，則加速度邊界法模擬中才會將整片測試板加入掉落台末速度的邊界條件。

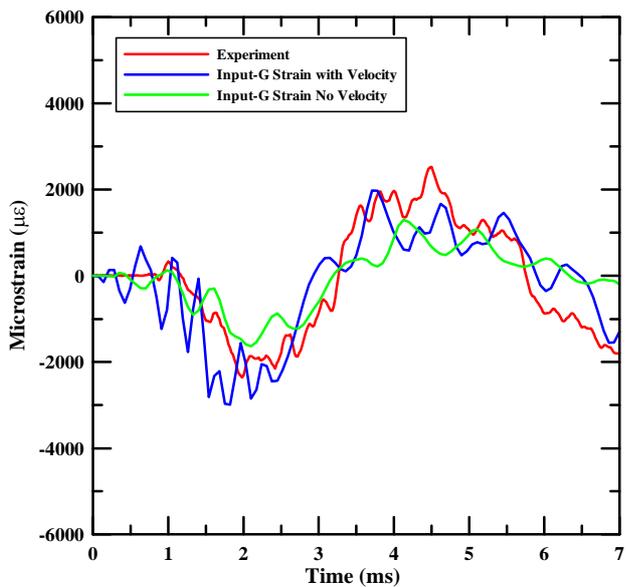
結果的部份將擷取測試板上部中心的長度方向也就是 X 軸方向應變及應變，其測試板上部中心為測試板黏貼應變規位置。



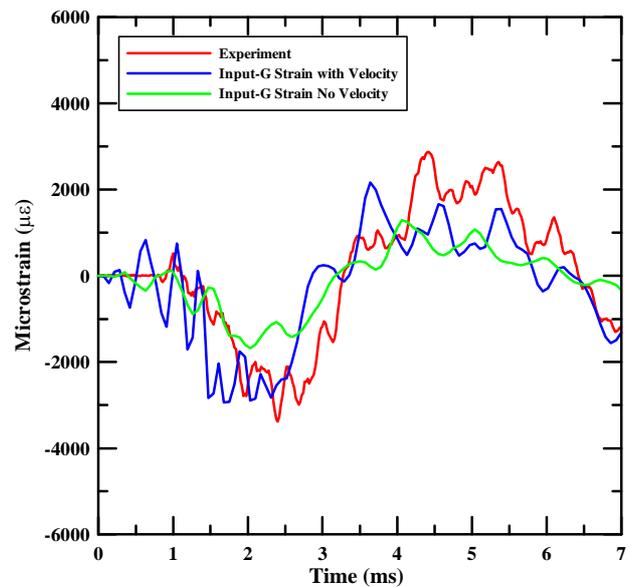
圖七 三種模擬方法應變與時間關係圖



圖八 加速度邊界法有無末速度比較應變與時間關係圖(Condition B)



圖九 加速度邊界法有無末速度比較應變與時間關係圖(Condition G)



圖十 加速度邊界法有無末速度比較應變與時間關係圖(Condition H)

結果與討論

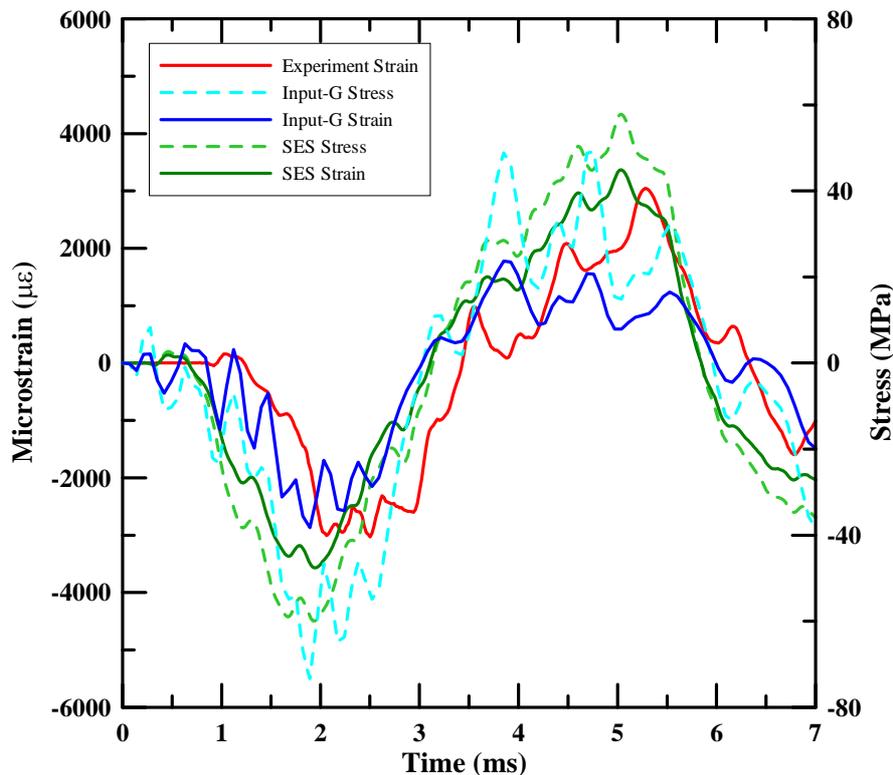
本文利用已符合 JECDEC 規範的掉落測試機進行實驗，並利用業界常用的掉落條件 Condition B、G、H 進行掉落測試，利用動態資料擷取系統擷取其掉落的即時數據。另外為了證明測試板的材料參數可信度，使用了振動實驗進行自由及固定四點下的振動情形，並與模擬結果比較，獲得材料參數的正確信。掉落模擬方面則使用了加速度邊界法及支承激振法進行模擬，利用掉落實驗量測的加速度作為模擬的邊界條件，最後再比較其實驗及模擬的結果。

圖十一~十三為 Condition B、Condition G、Condition H 及實驗的應變及應力結果比較，圖中可看出加速度邊界法及支承激振法各方法本身的應力及應變曲線變化是有相同的趨勢的。應變方面加速度邊界法及支承激振法開始產生及結束應變的時間都會比實驗值快 0.5 ms，其發生模擬值比實驗值應變較快發生的原因應變峰值方面支承激振法第一次彎曲及第二次彎曲處都會比實驗值大，其誤差值在 1000 $\mu\epsilon$ ，而加速度邊界法在第一次彎曲時與實驗值較為接近，但第二次彎曲會比實驗值小，其誤差值在 500 $\mu\epsilon$ ；綜合以上比較加速度邊界法會較優於支承激振法的結果。

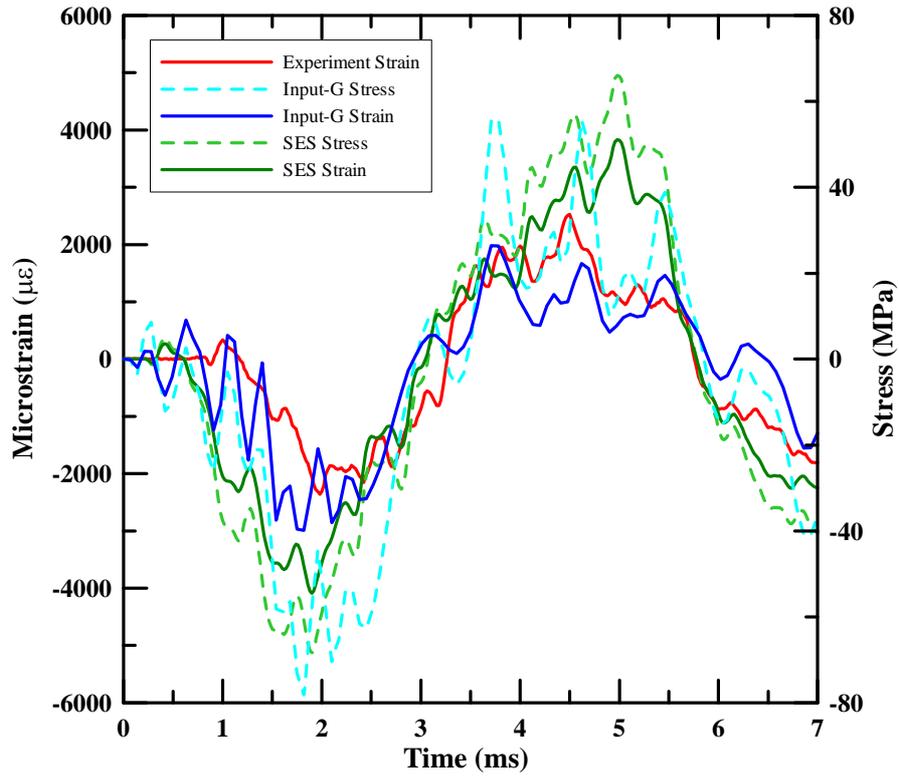
總結上述過程有以下結論：

- 一、位移邊界法與實驗的結果無法匹配，證實不可用於模擬設計分析。
- 二、從模擬與實驗結果比較中可知加速邊界法及支承激振法的應變發生時間都會比實驗值快 0.5 ms，但在應變峰值方面加速度邊界法的誤差會比支承激振法較為接近實驗值，故加速度邊界法的模擬結果將會優於支承激振法。
- 三、若考慮模擬的消耗時間，因加速度邊界法的步進時間受到最小元素大小的約束，而支承激振法都可自行設定步進時間大小，當模擬較細微結構的模型時，加速度邊界法將需要校耗大量的時間。

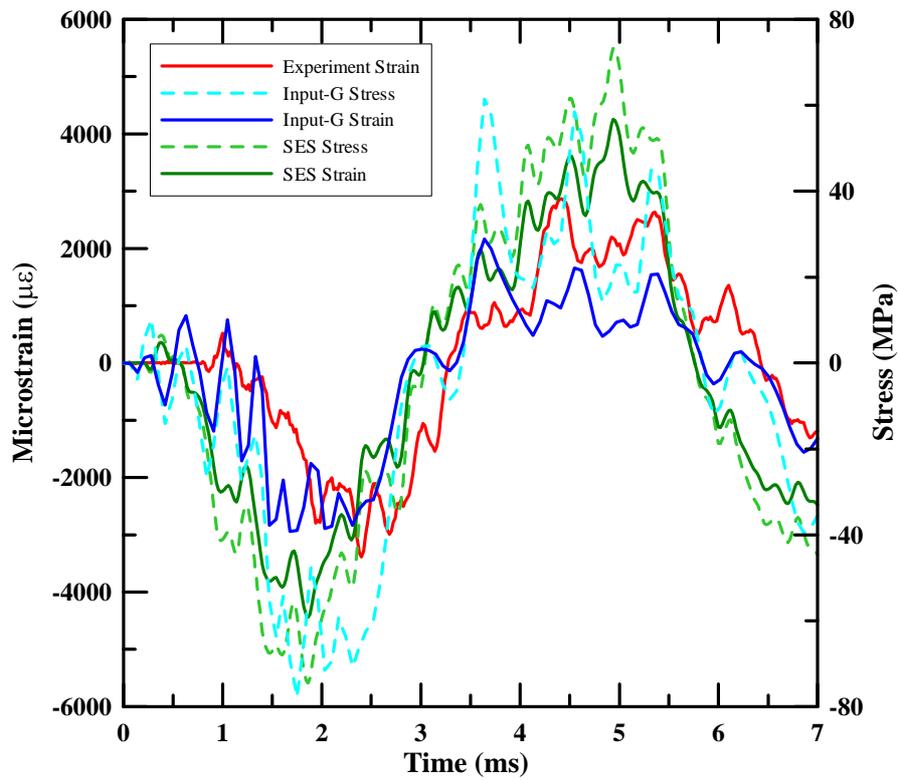
綜合以上三點，可以推論出此兩種模擬方法各有其優異性，若需要較為準確的結果加速度邊界法將會是較好的選擇。未來在實驗的部份動態資料擷取將在加入電阻擷取系統，用於量測測試板上封裝體在掉落過程中的電阻情形，使動態擷取系統更為完備。



圖十一 Condition B 實驗和模擬應力應變與時間關係圖



圖十二 Condition G 實驗和模擬應力應變與時間關係圖



圖十三 Condition H 實驗和模擬應力應變與時間關係

參考文獻

- [1] C. T. Lim and Y. J. Low, "Investigating of Drop Impact of Portable Electronic Products," 52rd ECTC Conference Proceedings, pp. 1270-1271, 2002.
- [2] S. K. W. Seah, C. T. Lim, E. H. Wong, V. B. C. Tan and V. P. W. Shim, "Mechanical Response of PCBs in Portable Electronic Products During Drop Impact," Proc 4th Electronics Packaging Technology Conference, pp. 120-125, 2002.
- [3] Y. C. Ong, V. P. W. Shim, T. C. Chai and C. T. Lim, "Comparison of Mechanical Response of PCBs Subjected to Product-Level and Board-Level Drop Impact Tests," 5th Electronics Packaging Technology Conference, pp. 223-227, 2003.
- [4] JEDEC Standard JESD22-B111, Board Level Drop Test Method of Components for Handheld Electronic Products, JEDEC Solid State Technology Association, 2003.
- [5] JEDEC Standard JESD22-B104C, Mechanical Shock, JEDEC Solid State Technology Association, 2004.
- [6] H. S. Ng, T. Y. Tee and J. E. Luan, "Design for Standard Impact Pulses of Drop Tester Using Dynamic Simulation," Electronics Packaging Technology Conference, 6th EPTC Conference Proceedings, pp. 793 – 799, Dec. 8-10, 2004.
- [7] D. Xie, M. Arra, S. Yi and D. Rooney, "Solder Joint Behavior of Area Array Packages in Board Level Drop for Handheld Devices," 53rd ECTC Conference Proceedings, pp. 130 – 135, 2003.
- [8] L. Zhu and W. Marcinkiewicz, "Drop Impact Reliability Analysis of CSP Packages at Board and Product Levels Through Modeling Approaches," IEEE Transactions on Components and Packaging Technologies, pp. 449-456, Vol. 28, No. 3, 2005.
- [9] T. Y. Tee, H. S. Ng, C. T. Lini, E. Pek and Z. Zhongc, "Board Level Drop Test and Simulation of TFBGA Packages for Telecommunication Applications," 53rd ECTC Conference Proceedings, pp. 121 – 129, May 27-30, 2003.
- [10] Y. Gu and D. Jin, "Drop Test Simulation and DOE Analysis for Design Optimization of Microelectronics Packages," 56th ECTC Conference Proceedings, 2006
- [11] T. Y. Tee, H. S. Ng and Z. Zhong, "Design for Enhanced Solder Joint Reliability of Integrated Passives Device under Board Level Drop Test and Thermal Cycling Test," Electronics Packaging Technology Conference, 5th EPTC Conference Proceedings, pp. 210 – 217, 2003.
- [12] J. E. Luan and T. Y. Tee, "Novel Board Level Drop Test Simulation using Implicit Transient Analysis with Input-G Method," Electronics Packaging Technology Conference, 6th EPTC Conference Proceedings, pp. 671 – 677, 2004.
- [13] T. Y. Tee, J. E. Luan, E. Pek, C. T. Lim and Z. Zhong, "Novel Numerical and Experimental Analysis of Dynamic Responses under Board Level Drop Test," 5th. Int. Conf. on Thermal and Mechanical Simulation and Experiments in Micro-electronics and Micro-Systems, 2004.
- [14] T. Y. Tee, J. E. Luan, E. Pek, C. T. Lim and Z. Zhong, "Advanced Experimental and Simulation Techniques for Analysis of Dynamic Responses during Drop Impact," 54th ECTC Conference Proceedings, pp. 1088 – 1094, 2004.
- [15] K. Y. Goh, J. E. Luan and T. Y. Tee, "Drop Impact Life Prediction Model for Wafer Level Chip Scale Packages," 7th EPTC Conference Proceedings, pp. 58 – 65, 2005.

- [16] J. E. Luan and T. Y. Tee, "Effect of Impact Pulse Parameters on Consistency of Board Level Drop Test and Dynamic Responses," 55th ECTC Conference Proceedings, pp. 665 – 673, May, 2005.
- [17] J. E. Luan, T. Y. Tee, E. Pek, C. T. Lim, Z. Zhong and J. Zhou, "Advanced Numerical and Experimental Techniques for Analysis of Dynamic Responses and Solder Joint Reliability During Drop Impact," IEEE Transactions on Components and Packaging Technologies, Vol. 29, No. 3, September, 2006.
- [18] C. L. Yeh and Y. S. Lai, "Support Excitation Scheme for Transient Analysis of JEDEC Board-level Drop Test," Microelectronics Reliability, Vol. 46, pp. 626-636, 2006.
- [19] C. L. Yeh, Y. S. Lai and C. L. Kao, "Evaluation of Board-level Reliability of Electronic Packages under Consecutive Drops," Microelectronics Reliability, Vol. 46, pp. 1172–1182, 2006.
- [20] C. L. Yeh, T. Y. Tsai and Y. S. Lai, "Transient Analysis of Drop Responses of Board-level Electronic Packages Using Response Spectra Incorporated with Modal Superposition," Microelectronics Reliability, Vol. 47, pp. 2188–2196, 2007.
- [21] T. Y. Tsai, C. L. Yeh, Y. S. Lai and R. S. Chen, "Transient Sub-modeling Analysis for Board-Level Drop Tests of Electronic Packages," IEEE Transaction on Electronics Packaging Manufacturing, Vol. 30, pp. 54-62, Jan, 2007

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文：已發表 未發表之文稿 撰寫中 無

專利：已獲得 申請中 無

技轉：已技轉 洽談中 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以500字為限）

4.

可攜式電子產品在使用造成掉落或碰撞且在運輸途中產生的機械衝擊容易使產品失效，基於欲了解產品的失效機制，掉落測試與分析是半導體業者無法避免的主題之一。由於掉落設備包含機台本體、訊號截取系統、電阻瞬時量取系統，市售整套設備昂貴，不利於一般學術研究。本研究將自行研發JEDEC掉落測試機台本體、及其訊號截取系統，可用於衝擊實驗。由於兼顧多用途之考量，可用於單片、兩片標準試片與非標準試片之測試。目前已完成B、G、H之業界常用之規範，除了學術研究之外，亦可用於業界產品對衝擊可靠度之執行。藉由本計畫之具體成果的達成，能掌握上板電子封裝掉落試驗方法。並建立與設計一台掉落測試機台，開發掉落測試動態反應資料截取系統，將加強本研究室對電子封裝可靠度的研究能力，訓練高科技人才，提供國內相關產業相關技術諮詢。參與計畫之研究工作者在計畫執行過程中，主要獲得之訓練，係為對於上板電子封裝掉落試驗，能有完成了解與技術訓練並實際開發其系統。另外，對於後續之上板電子封裝掉落之相關研究，亦應會有更進一步的收穫。

國科會補助計畫衍生研發成果推廣資料表

日期：__年__月__日

國科會補助計畫	計畫名稱：		
	計畫主持人：		
	計畫編號：	領域：	
研發成果名稱	(中文)		
	(英文)		
成果歸屬機構		發明人 (創作人)	
技術說明	(中文)		
	(200-500 字)		
	(英文)		
產業別			
技術/產品應用範圍			
技術移轉可行性及預期 效益			

註：本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

無研發成果推廣資料

98 年度專題研究計畫研究成果彙整表

計畫主持人：陳精一		計畫編號：98-2221-E-216-011-				計畫名稱：上板電子封裝掉落衝擊動態系統之設計	
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數（含實際已達成數）	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（本國籍）	碩士生	2	2	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	0	100%	篇	接受一篇 但需修改 進行中
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（外國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p>其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	協助與提供 精材科技股份有限公司 技術服務
--	-----------------------

	成果項目	量化	名稱或內容性質簡述
科教處計畫加填項目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）