

# 行政院國家科學委員會專題研究計畫 成果報告

## 具有訊號完整性的 SOC 晶片電源供應系統設計

計畫類別：個別型計畫

計畫編號：NSC94-2215-E-216-003-

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

執行單位：中華大學資訊工程學系

計畫主持人：顏金泰

報告類型：精簡報告

處理方式：本計畫涉及專利或其他智慧財產權，2 年後可公開查詢

中 華 民 國 95 年 10 月 17 日

# 具有訊號完整性的 SOC 晶片電源供應系統設計

“Development of Modern SOC Power Supply with Signal Integrity”

計畫編號：NSC94-2215-E-216-003

執行期間：94 年 8 月 1 日 至 95 年 7 月 31 日

主持人：顏金泰 中華大學資訊工程學系副教授

## 一、中文摘要

對 SOC 晶片設計環境，此計劃希望發展可靠穩定的電源供應系統達成電源訊號完整性，整個電源供應系統大致分為已知版面擺置電源繞線規劃與面積導向耦合電容分佈部份。在已知版面擺置電源繞線部份中，首先針對已知的電路版面擺置結果，設計電源的連線規畫、外圍電源端點設定與線寬設計等繞線結果，以滿足電源供應系統上的壓降、電子漂移與佈局設計法則等限制，倘若無法同時滿足壓降與電子漂移等限制，在此部份以滿足電子漂移與佈局設計法則限制為主。進一步在面積導向耦合電容分佈部份，依據違反壓降限制電源點的電壓差來評估所需的耦合電容大小，將以所有電容需求插入原始的版面擺置結果來滿足所有電源點壓降限制，做到以增加較少版面擺置面積為目的。因為耦合電容插入版面擺置結果，使得原始版面擺置結果電源點產生位置改變，將影響原有設計的電源繞線結果，必須再依新的電源點重複執行已知版面擺置電源繞線與面積導向耦合電容分佈兩步驟，使得此電源系統達到滿足電源訊號完整性要求，供應可靠穩定的 SOC 電源。

## 英文摘要

In this project, one reliable power-supply system with signal integrity is developed for SOC design environment. Basically, the proposed system is divided into two phases: Floorplan-aware power routing planning and Area-driven decoupling capacitance allocation. In the floorplan-aware power routing planning

phase, given a floorplan result with some power pins, the technologies of power topology planning, power pad assignment and wire sizing are designed to satisfy the constraints of voltage IR-drop, current electromigration and design rules in one reliable power-supply system. If the floorplan-aware power routing planning phase does not simultaneously satisfy the constraints of voltage IR-drop and current electromigration, the constraint of current electromigration can be mainly released by using the concept of wire sizing. Furthermore, according to the voltage of any power pin with IR-drop, the size of one decoupling capacitor can be estimated in a prediction model and the decoupling capacitor can be inserted into the original floorplan to release the IR-drop constraint and minimize the extended floorplan area in the area-driven decoupling capacitance allocation phase. Because of decoupling capacitance allocation in the original floorplan, the positions of the power pins in the original floorplan may be modified to change the result of the power routing topology. Hence, the operations in floorplan-aware power routing planning phase and the area-driven decoupling capacitance allocation phase must be iteratively converged to make one reliable power-supply system with signal integrity.

## 二、計畫的緣由與目的

隨著新世代製程技術的發展，使得整個系統建構於單晶片成為可能的事實，因此系統晶片(SOC)的相關研究與技術受到產業界廣泛的注意，近來由於設計上的應用日漸複雜，SOC晶片的設計往往涵蓋幾個主要部份，包括微處理器、DSP 處理器、記憶體、I/O、控制

邏輯與混合訊號區塊等部份，利用各個功能模組化的 IP 技術開發，進而透過 IP 授權來達到設計得以重覆使用，使得獨立設計者也有能力整合 SOC 晶片來滿足市場上的需求，進而提昇系統應用的成效。

但是 SOC 晶片上高密度的電路分佈使得電流需求量的大量增加，並且新世代製程技術的線寬縮小現象使得電源連線上的電阻變大，導致電源的壓降現象相當的嚴重，對於 SOC 晶片上的電源壓降現象所產生的雜訊干擾，倘若干擾的程度較輕微，可能影響電路上充放電速度，導致電路時序延遲，倘若干擾的程度較嚴重，可能進一步導致電路功能正確性的失真，因此對於 SOC 晶片而言，可靠穩定的電源供應系統將成為晶片整合的重要因素，因此電源訊號完整性將是新一代晶片設計的一大課題。一般而言，對於電源訊號完整性的設計，必須滿足電源供應系統上的壓降、電子漂移與佈局設計法則等限制，為了滿足這些設計上的必要限制，電源供應系統上常使用電源連線規畫與分析、線寬設定、外圍電源端點設定與耦合電容分佈等技術來完成。

對於電源連線規畫與分析方面，由於電源連線的拓撲結構決定電壓下降的程度，早期的電源供應系統有較高的  $V_{dd}$  電位，因此也能容許較大的壓降現象，為了節省電源連線的繞線成本，往往都以樹狀結構來完成電源連線。隨著電源供應系統  $V_{dd}$  電位的下降，為避免電源樹狀連線的末端壓降影響電路的效率或正確性，因此常在高耗電區塊周邊或電源樹狀連線的末端加上電源環形連線的拓撲結構與分析模式，減少環形連線內部的壓降現象。隨著新世代製程技術的開發，晶片上高密度的電路分佈使得電流需求量大量增加，並且線寬縮小現象使得電源連線上的電阻變大，對於電源的連線規畫，現今高效率晶片提出使用電源格狀連線的拓撲結構，此種連線方式一律採用靜態的全平面格狀規劃，可即時供應平面上任何電源需求，降低可能發生的壓降現象，但是相對使得繞線資源的大量增加，並且電源格狀連線的電路分析極為複雜，需要花費長久的時間才可解析電路上的電壓與電流現象，現今已有許多研究投入電源格狀連線的電路分析，期望找出較有效電源格狀連線的分析方法。

基本上適當的連線線寬是電源供應系統上壓降限制與電子漂移限制協調的結果，連線寬度越大較能符合壓降限制，但可能違背電子漂移限制，相對地連線寬度越小較能符合電子漂移限制，但可能違背壓降限制，只要電源供應系統上壓降限制與電子漂移限制符合製程與材料上的需求，將可協調適當的連線線寬符合多數的電源供應限制，通常利用兩階段收斂方式來尋找適當的連線線寬，給定初始的連線線寬符合佈局設計法則，交互限制電壓與電流的方式來符合壓降限制與電子漂移限制，收斂得到適當的連線線寬。另一方面雖然晶片外圍電源端點的個數是有所設限，但適當的對外圍電源端點重新設定位置也可改良較內部電源需求的壓降現象，使得高電源需求區域能在近距離取得較多的外圍電源端點供應電源，通常須對於平面上所有電源需求做分析，並依據所允許的外圍電源端點的數目，做有效的電源需求分群作業使達到電源需求平衡，進一步設定適當的外圍電源端點位置使得降低壓降現象。

基本上耦合電容對電路的電位有補強的效應，倘若先前的適當的連線線寬設定與外圍電源端點設定都無法完全消除晶片上的壓降現象，可評估插入耦合電容的大小並進一步執行耦合電容分佈於已知擺置結果的程序以達到完全消除晶片上的壓降現象。

一般電路區塊的擺置往往決定整個晶片的成效，給定多個電路實體區塊，基本的電路擺置希望以最小之面積來完成所有電路區塊的置放，這樣的工作對於半導體成本昂貴的年代佔有很重要的地位，隨著電路區塊個數的增加與區塊大小的多變性，已使得人工方式達到最小面積的擺置已非容易之事，因應而生透過電腦輔助設計來完成電路擺置已是不可或缺的工作，於是許多的研究透過不同的演算技巧來探討有限的擺置可能情況與最佳的擺置結果，但是這些結果也顯示電路擺置問題的困難性與最佳擺置結果的不易求得。近年來，隨著對於高頻率晶片的需求，面積已不是半導體晶片最重要考量的因素，因此依據連線延遲為導向的擺置研究也受到廣泛的注意，只有把所有連線延遲儘量降低，才有可能整合出高於幾 GHz 的晶片，另外隨著電路擺置的資料表示方式的突破，也使得更多的研究在探討有限的擺

置可能情況與最佳的擺置結果上有進一步的發展。對於在已知擺置結果的耦合電容分佈，也可以應用擺置問題的資料表示方式，進一步降低因為插入耦合電容所產生的面積增加。

此計劃希望針對 SOC 晶片設計環境，發展可靠穩定的電源供應系統達成電源訊號完整性，整個電源供應系統大致分為已知版面擺置電源繞線規劃與面積導向耦合電容分佈部份。在已知版面擺置電源繞線部份中，設計電源的連線規畫、外圍電源端點設定與線寬設計等繞線結果，以滿足電源供應系統上的限制。進一步在面積導向耦合電容分佈部份，依據違反壓降限制電源點的電壓差來評估所需的耦合電容大小，將以所有電容需求插入原始的版面擺置結果來滿足所有電源點壓降限制，做到以增加較少版面擺置面積為目的。因為耦合電容插入結果，使得擺置結果電源點位置改變，必須再執行版面擺置電源繞線與面積導向耦合電容分佈兩步驟，使得此電源系統達到滿足電源訊號完整性要求。

### 三、研究方法及成果

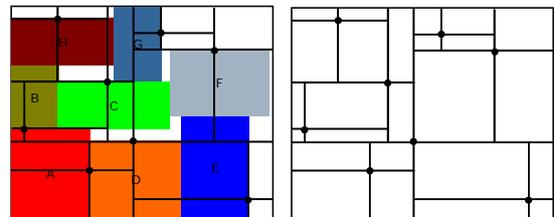
此計劃希望針對 SOC 晶片設計環境，發展可靠穩定的電源供應系統達成電源訊號完整性，整個電源供應系統大致分為已知版面擺置電源繞線規劃與面積導向耦合電容分佈部份。

#### A. 已知版面擺置電源繞線規劃

在此計畫中依據版面擺置結果的電源需求，設計一種動態階層式四方格的連線規劃，希望達到電源需求多的區域使用較多格狀連線與電源需求少的區域使用較少格狀連線的動態規劃。對於具有  $n$  個電流需求點的版面擺置結果，可建構出具有  $5n+4$  個參考端點與  $8n+4$  個參考分支的動態階層式四方格，依據電源連線規畫結果，進一步設計有效率的動態階層式四方格電路分析工具，對於所有參考端點將可分析其相關電位，並且對於所有參考分支將可分析其相關電流，作為電路連線設計成敗之參考值。如圖一所示，對於已知的版面擺置結果的電源點，依據電源需求可規劃動態階層式四方格電源連線。

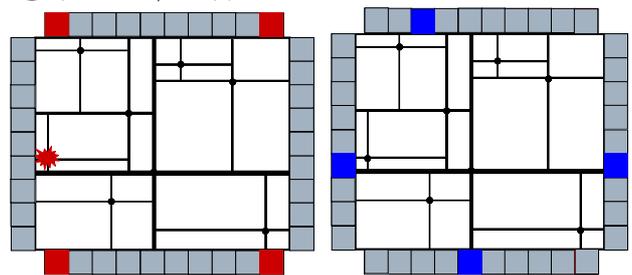
在不違背電子漂移與佈局設計法則限制的原則下，對於有限的外圍電源端點做適當的

位置安排，使得高電源需求區域能在近距離取得較多的外圍電源端點供應電源，希望滿足所有版面擺置電源點壓降限制。在此計畫中依據階層式四方格連線的規劃、版面擺置電源點電流需求結果與可用之外圍電源端點，設計一個有效的外圍電源端點位置設定的方法，期望達到動態的電源供應。



圖一 依據擺置結果的電源需求之階層式四方格連線規劃

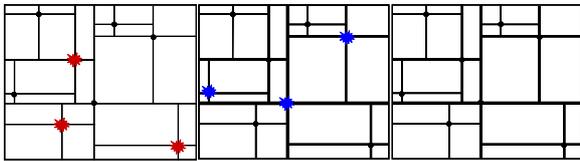
如圖二所示，根據先前動態階層式四方格連線的規劃，倘若給於四個外圍電源端點提供電源，經電路分析軟體執行後，明顯有一個版面擺置電源點違背壓降限制，可以使用外圍電源端點位置重新設定達到滿足所有版面擺置電源點壓降限制。



圖二 外圍電源端點設定解除電源連線上的壓降限制

基本上外圍電源端點的個數在晶片的設計上是有所限制的，倘若利用外圍電源端點設定技巧無法滿足所有版面擺置電源點壓降限制，將進一步利用線寬設定技巧來滿足所有版面擺置電源點壓降限制，因此希望能利用較少的電源連線總面積來達成滿足電源供應系統上的壓降、電子漂移與佈局設計法則等限制。在此計畫中依據階層式四方格連線的規劃與外圍電源端點設定的結果，進一步設計一個兩階段電壓與電流收斂線寬設定的方法，期望使用較少的電源連線總面積來達到滿足電源供應系統上的壓降、電子漂移與佈局設計法則等限制。如圖三所示，根據先前動態階層式四方格連線的規劃，倘若存在三個版面擺置電源點違背壓降限制，可以依據電壓限制需求，使用線寬設定技巧達到滿足所有版面擺置電源點

壓降限制，但可能產生另外三個版面擺置電源點違背電子漂移限制，透過適當的兩階段電壓與電流收斂線寬設定的方法，可達到滿足電源點壓與電子漂移限制的最佳線寬設定。



圖三 線寬設計解除電源連線上的壓降限制

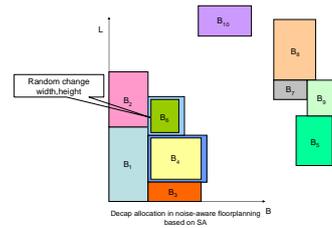
### B. 面積導向耦合電容分佈

對於面積導向耦合電容分佈而言，已知一個左下緊密的版面擺置，依據電源連線結果，利用電路分析技術得知所有電路區塊上的電源點的電位是否違背壓降限制，倘若沒有任何電路區塊上的電源點違背壓降限制，即代表目前版面擺置的結果不會產生壓降雜訊。反之，若有任何電路區塊上的電源點違背壓降限制，依據那些違背壓降限制電源點的電位差，設計一個評估耦合電容面積的可靠模式，計算不足的電位需要加入多大的電容才能解除因為壓降所產生的雜訊。對於所有違背壓降限制的電路區塊，新的區塊面積將由實際區塊面積加上所需耦合電容面積而得，但新電路區塊形狀可視為外層可調整電容與內層固定電路區塊所組合，為了達成面積導向耦合電容分佈，將可規劃適當的新電路區塊形狀，使增加的版面擺置面積能降到最低。

對於面積導向耦合電容分佈，本計劃利用先前開發的雙重界線串列表表示法來表示一個左下緊密的版面擺置，再以模擬退火法來達到減少增加版面擺置面積的目的，在處理模擬退火的過程中，版面擺置結果擾亂動作是挑選一個需要加入耦合電容的電路區塊，在盡量維持所有電路區塊的相鄰關係的限制下，不改變新電路區塊面積前提下，改變長寬形成的外形，藉由這樣擾亂的動作，倘若可以得到較佳的版面擺置結果，就接受新的版面擺置結果，也得到含有耦合電容電路區塊的適當形狀，反之就有條件的接受新的版面擺置結果，直到模擬溫度收斂時，最後的版面擺置結果將決定面積導向耦合電容分佈如圖四所示。

### 四、結論與討論

本計畫不僅提出新的已知版面擺置電源繞線與面積導向耦合電容分佈方法，更進一步將此兩個滿足個別需求的電源訊號完整性的技巧透過重複性收斂的方式整合為可靠穩定的電源供應系統，這樣的研究盼望對於新世代製程環境中高運算頻率 SOC 晶片的電源供應系統提出有效的解決方法。本研究群的相關研究結果發表於 IEEE 會議論文 3 篇，並有兩篇期刊論文與一篇 IEEE 會議論文已經投稿中。



圖四 以模擬退火法來處理的面積導向耦合電容分佈

### 五、參考文獻

- [1] T. Mitsuhashi and E. S. Kuh, "Power and Ground Network Topology Optimization for Cell Based VLSIs," *Design Automation Conference*, pp.524-529, 1992.
- [2] H. Cai, "Multi-pads Single Layer Power Net Routing in VLSI Circuit," *Design Automation Conference*, pp.183-188, 1988.
- [3] X. D. Tan, C. J. Shi, D. Lungeanu, J. C. Lee and L. P. Yuan., "Reliability-Constrained Area Optimization of VLSI Power/Ground Networks Via Sequence of Linear Programmings," *Design Automation Conference*, pp.156-161, 1999.
- [4] X. D. S. Tan and C. J. R. Shi, "Fast Power/Ground Network Optimization Based on Equivalent Circuit Modeling," *Design Automation Conference*, pp.550-554, 2001.
- [5] X. Wu *et al*, "Area Minimization of Power Distribution Network Using Efficient Nonlinear Programming Techniques," *International Conference on Computer-Aided Design*, pp.153-157, 2001.
- [6] T. Wang and C. C. Chen, "Optimization of the Power/Ground Network Wire-Sizing and Spacing Based on Sequential Network Simplex Algorithm," *ISQED*, pp.157-162, 2002.
- [7] [8] M. Zhao, Y. Fu, V. Zolotov, S. Sundareswaran and R. Panda, "Optimal Placement of Power-Supply Pads and Pins," *Design Automation Conference*, pp.165-170, 2004.
- [8] S. Zhao, K. Roy and C. K. Koh, "Decoupling capacitance allocation and its application to power-supply noise-aware floorplanning," *IEEE Transactions on Computer-Aided Design*, Vol. 21, No. 1, pp.81-92, 2002.