

# 行政院國家科學委員會專題研究計畫 成果報告

## 在高密度印刷電路板設計下的匯流排導向繞線系統開發 研究成果報告(精簡版)

計畫類別：個別型  
計畫編號：NSC 99-2221-E-216-054-  
執行期間：99年08月01日至100年07月31日  
執行單位：中華大學資訊工程學系

計畫主持人：顏金泰

計畫參與人員：碩士班研究生-兼任助理人員：鍾潤民  
碩士班研究生-兼任助理人員：黃明謙  
碩士班研究生-兼任助理人員：黃建榮  
碩士班研究生-兼任助理人員：呂凱平  
碩士班研究生-兼任助理人員：高佳涵  
博士班研究生-兼任助理人員：陳志瑋

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 100 年 09 月 21 日



# 在高密度印刷電路板設計下的匯流排導向繞線系統開發

“Development of Bus-oriented Routing System in Dense PCB Designs”

計畫編號：NSC99-2221-E-216-054

執行期間：99年8月1日至100年7月31日

主持人：顏金泰 中華大學資訊工程學系教授

## 一、中文摘要

在高密度的印刷電路板設計，所有電路元件被擺置在電路板上，並且所有的連線的連接藉由跳脫繞線和匯流排繞線來完成。本計劃完成滿足匯流排長度限制並達成最少繞線層數與面積的繞線自動化設計系統部份，為了滿足匯流排長度限制限制，並且可利用較少的繞線層完成匯流排的繞線，此階段的繞線自動化設計系統大致分為考量繞線層數最少化的匯流排分層配置、單層有次序的跳脫繞線、完整印刷電路板的跳脫繞線、已知障礙物之最長繞線格路徑生成與符合長度限制的匯流排繞線等五個主要部份。在高密度印刷電路板繞線設計自動化中，首先在考量繞線層數最少化的匯流排分層配置過程，利用較少的繞線層將所有匯流排配置在這些繞線層上。根據已知的連線順序，在單層有次序的跳脫繞線過程，將這些連線由腳位跳脫連接到元件邊緣位置。進一步使用有次序跳脫繞線的結果，在完整印刷電路板的跳脫繞線過程，高密度的印刷電路板上的連線將完成所有跳脫連接，以符合單層匯流排繞線的目的。在已知障礙物之最長繞線格路徑生成過程，已知具有障礙物繞線格內的一對端點，一條具有避開障礙物能力的最長路徑將可產生。最後基於具有避開障礙物能力最長路徑的結果，在符合長度限制的匯流排繞線過程，高密度的印刷電路板上的所有連線將完成符合長度限制的繞線。

## 英文摘要

In dense PCB designs, all the circuit components are placed and all the nets are connected by escape routing and bus routing. To satisfy the length-matching constraints in buses and minimize the number of routing layers in PCB designs, the PCB routing system includes the following parts: Layer minimization and

assignment of routing buses for PCB designs、Ordered escape routing、Full-board escape routing、Obstacle-aware longest-path generation in routing grids and Length-matching bus routing. In layer minimization and assignment of routing buses for PCB designs, all the routing buses are assigned onto a minimal set of routing layers. According to the ordered sequence of a given set of routing nets, all the nets can be escaped from pins to the component boundary in ordered escape routing. Furthermore, based on the concept of ordered escape routing, all the nets in a given PCB can be escaped for single-layer bus routing in full-board escape routing. In obstacle-aware longest-path generation in routing grids, given a pair of a start terminal and a target terminal in routing grids with obstacles, the longest path with obstacle avoidance can be generated. Finally, based on the result of an obstacle-aware longest-path, all the nets in a given PCB can be further routed to satisfy the length-matching constraints in length-matching bus routing.

## 二、計畫的緣由與目的

隨著晶片內部的複雜度之提升，代表著單一晶片 I/O 的接腳數漸漸變多，使得在固定面積下，PCB 板上的連線數驟增[1-3]，近年來因為單晶片的 I/O 接腳數持續的增加且系統複雜度的提升，隨之而來的連線的擁擠度與可繞度問題，造成 PCB 板上繞線的問題愈加困難。現今晶片層次的輔助設計(CAD)繞線工具並不適用於電路板層次，因此電路板層次的繞線設計，必須邁向自動化，進一步發展電路板層次的繞線自動化系統是必要的。對於電路板層次繞線而言，可切分成繞線層設定、跳脫繞線和匯流排繞線。針對繞線層設定，一般以匯流排線導向設定[4]為主，利用最大共同序列的方法找到分配相同繞線層的匯流排，使得循序完成繞線層設定，但是這樣的處理方式使得

匯流排的連線數量分配在各個繞線層不平均，可能造成可繞性問題與訊號雜訊干擾的問題。

對於匯流排連線的連接，主要建立在繞線起點與終點兩邊的腳位順序相同的情況下，一般而言，跳脫繞線可分為沒有次序的跳脫繞線和有次序的跳脫繞線。在浮動腳位有次序的跳脫繞線中，研究[5-6]利用 SAT 的方法確實保證可以繞線成功，但此方法並無討論到兩相鄰腳位間的容量問題，它只是假設兩相鄰腳位的容量限制為 1 的情況下進行繞線，倘若考量兩相鄰腳位間的容量問題，此方法將相當耗費執行時間。對於電路板層次繞線而言，有次序的跳脫繞線是個重要的議題，所以需要開發更有效率的方法來解決跳脫繞線的問題。若先把電路板上的晶片腳位有次序的跳脫繞線到晶片的週圍，便可簡化電路板上晶片間的連線問題。透過有次序跳脫繞線的排列，可將兩個要連線的元件腳位順序調整成相同的，這樣可以避免在做匯流排繞線的時候連線發生相交。一般來說，印刷電路板上訊號線段長度的控制決定了訊號延遲的時間。在單層之匯流排繞線上，許多研究[7-10] 探討長度限制的匯流排繞線，其中包括繞線區域的分割、避開障礙物等考量因素。

### 三、研究方法及成果

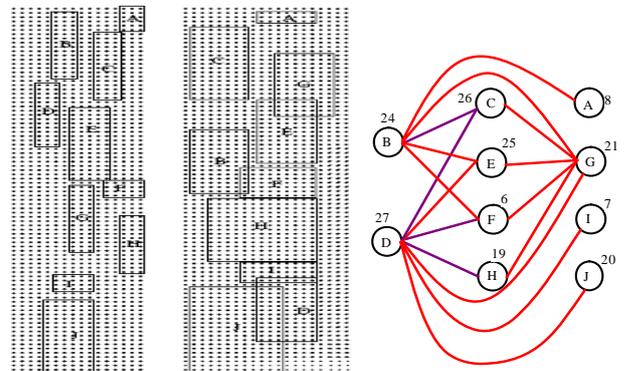
本計劃完成達成最少繞線層數與面積的繞線自動化設計系統部份，為了滿足匯流排長度限制，並且可利用較少的繞線層數與面積完成印刷電路板的繞線，此階段印刷電路板設計的繞線自動化設計系統大致分為考量繞線層數最少化的匯流排分層配置、單層有次序的跳脫繞線、完整印刷電路板的跳脫繞線、已知障礙物之最長繞線格路徑生成與符合長度限制的匯流排繞線等五個主要部份。

#### A. 考量繞線層數最少化的匯流排分層配置

對於考量繞線層數最少化的匯流排分層配置，將每個匯流排視為單獨的連線，使得完整匯流排的連線分配在相同的繞線層，比較有利完成長度限制的匯流排繞線，在此以匯流排導向分配的方式，希望盡量使用較少的繞線層數完成元件下方的跳脫繞線與元件之間的匯流排繞線。繞線層數最少化的匯流排分層配置問題分成三個主要步驟：匯流排可繞區域預估、不相容圖形建構和平衡式的匯流排分層配置。

依據整個匯流排的腳位分佈範圍與可能跳脫繞線的寬度定義匯流排可繞區域，使得元件下方的所有腳位形成匯流排可繞區域集合。進一步依

據所有匯流排可繞區域的位置，存在元件內部單層匯流排跳脫繞線不相容關係與元件間單層匯流排繞線相交關係，按照匯流排不相容圖形關係，可以建構一個無方向性的不相容圖形。對於所有匯流排可繞區域的不相容圖形，倘若連線數量是匯流排可繞區域的權重，依照匯流排的連線數量在不同繞線層分配平衡係數，即可利用平衡式的分割方式完成匯流排不相容圖形分割，使得所有不相容之兩匯流排分割至不同繞線層，達成匯流排分層配置的目的。如圖一所示，兩個相鄰元件有十個連接的匯流排，A, B, C, D, E, F, G, H, I 和 J，相關的匯流排可繞區域標是在元件上。所有匯流排可繞區域，單層匯流排跳脫繞線不相容關係與匯流排繞線相交關係將建構一個不相容圖形。依據平衡式的分割結果，所有匯流排，A, B, C, D, E, F, G, H, I 和 J，將被配置在三個不同繞線層，{B, D}，{C, E, F, H}和{A, G, I, J}。



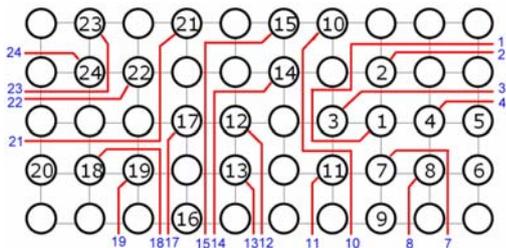
圖一匯流排分層配置結果

#### B. 單層有次序的跳脫繞線

對單層有次序的跳脫繞線，給定一個二維腳位矩陣，包含  $n$  條要做跳脫繞線的連線，連線必須按照順從 1 到  $n$  次序，由二維的腳位繞線到矩陣的邊緣。因為有次序的跳脫繞線在單繞線層中進行，所以要確保在繞線的過程中任兩條連線都不能有相交的情形，而且兩相鄰的腳位間的空间是有限的，所以根據給定的空間限制來做繞線。有單層有次序的跳脫繞線問題分成三個主要步驟：可繞度為導向的腳位分配、全域繞線和細部繞線。

給定腳位矩陣之後，在單繞線層可繞度為導向的腳位分配又可細分為四個步驟：繞線區域的分割、中繼點的設定、邊界腳位的配置和繞線區域的整合。給定的二維  $r \times s$  陣列腳位，它會有  $(r-1) \times (s-1)$  個基本繞線區塊，每個基本繞線區塊為四個腳位所圍成的，當邊界腳位分配之後，所有的跳脫腳位、中繼點、邊界腳位皆可固定在其所對應的繞線區塊上，而所有以可繞度為導向的繞線，從跳脫腳位到邊界腳位或是從中繼點到邊界腳位，這些連線都必須在繞線區塊內做全域繞

線。全域繞線的繞線路徑可以藉由搜尋節點的最短路徑來取得，節點對應到腳位的資訊，即是跳脫腳位到邊界腳位或是中繼點到邊界腳位的繞線路徑。根據最小寬度與空間規則，相鄰腳位之間的繞線通道可以切割成許多的繞線格線，如果給定一個陣列裡的繞線區塊的話，則每個繞線區塊的細部繞線可分成兩個步驟，跨越點的設定和實際路徑的設定。在跨越點的設置中，全域繞線的線段利用跨越點來連接到不同的繞線區塊，在全域繞線中，這些跨越點可以有彈性的設置在繞線格線上，只要滿足在單繞線層中線段不相交，給定一陣列的基本繞線區塊之後，依序將每個繞線區塊的跨越點設置完畢。設置完所有繞線區塊的跨越點之後，在繞線區塊上所有的連線皆不能相交。在實際路徑的設定中，所有繞線區塊內的連線皆可以被分類成L型態的連線和I型態的連線來完成實際路徑設定。如圖二所示，24條可繞度為導向的連線其全域繞線可以有彈性的分布在陣列的繞線通道中做完全域繞線，做完跨越點的設定與實際路徑的設定之後，有次序的跳脫繞線的細部繞線已完成。



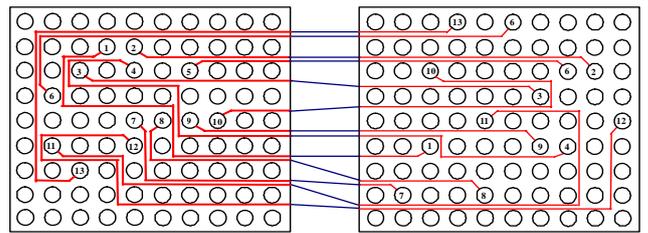
圖二單層有次序的跳脫繞線結果

### C. 完整印刷电路板的跳脫繞線

對完整印刷电路板的跳脫繞線，給定一個二維腳位矩陣集合，包含  $n$  條要做跳脫繞線的連線，由每個二維的腳位繞線到矩陣的邊緣使得確保執行單層匯流排繞線。因為跳脫繞線在單繞線層中進行，所以要確保在繞線的過程中任兩條連線都不能有相交的情形，而且兩相鄰的腳位間的空間是有限的，所以根據給定的空間限制來做繞線。完整印刷电路板的跳脫繞線分成四個主要步驟：匯流排繞線順序選取、腳位編號轉換、有次序的跳脫繞線和腳位編號恢復。

對於匯流排繞線順序選取，匯流排兩邊元件間的各列腳位，依序建立連接關連圖，為了維持單繞線層完成匯流排繞線，適度將腳位順序調整使得匯流排沒有發生相交的現象，所得之匯流排繞線順序做為跳脫繞線之繞線順序。依據選取的匯流排繞線順序，依序重新編排連線號碼為， $1, 2, \dots, n$ ，進一步將相關  $n$  個腳位編號轉換為相對

連線號碼。經過所有匯流排連線腳位重新編排，匯流排兩邊元件間的跳脫繞線可視為兩個單邊的有次序的跳脫繞線，依據先前所提出的有次序的跳脫繞線解法，即可完成兩邊元件間有次序的跳脫繞線，也就是完成整個匯流排兩邊元件間的跳脫繞線。當所有匯流排連線已完成兩邊的有次序的跳脫繞線，確定維持單繞線層的匯流排繞線，便將先前重新命名的連線編號，回復成其原始的編號。如圖三所示，依照兩元件間的跳脫繞線，可以建立各列腳位之連接關連圖，進一步完成13條連線最後的同時跳脫繞線結果。



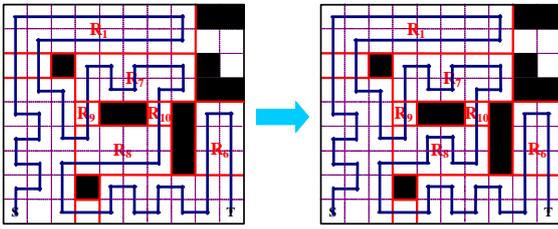
圖三兩元件同時的跳脫繞線結果

### D. 已知障礙物之最長繞線格路徑生成

單層的繞線平面可視為繞線格的集合，線段的長度則是路徑經過的格數，線段在格子內可以走水平或垂直，如果將格子視為障礙物，則將格子變成黑色的，任何繞線平面上都可以將四周圍都設成障礙物，線段的路徑經由走水平或垂直的方式通過格子並連接起點和終點。要確保在有障礙物條件找尋最長繞線格路徑，根據給定的空間與障礙物限制，已知障礙物之最長繞線格路徑生成分成三個主要步驟：無障礙物之矩形繞道繞線、內部矩形繞線區域切割和最長路徑產生。

將一塊具有障礙物的內部矩形繞線區域上切割出多個互不相交且沒障礙物的矩形小區塊。此一分割步驟由分割遞迴以及邊界遞迴完成。一開始將角落格加進佇列，對於佇列裡面的每個角落格，利用掃描線方法屏除障礙物，可以找到包含該角落格且面積最大的矩形區域，而每當產生一個矩形區域，新的角落格會隨之產生並加入佇列中，一直做到佇列中的所有角落格都被用來產生矩形區域，則分割遞迴在此結束。利用分割遞迴產生的結果，再度形成新的外部邊界，並呼叫分割遞迴，如此循環至沒有外部邊界為止，至此所有矩形區域將包含所有的繞線格子，則邊界遞迴結束。基於分割區塊所產生的相鄰關係圖，最長路徑的產生分成初始路徑、額外繞道路徑及內部繞道。初始路徑：基於  $R_s$  和  $R_r$  兩頂點在圖形中的位置，利用廣度搜尋來決定初始路徑，對應到相鄰關係圖形中，決定兩相鄰的區域中的連接點來減少無法經過的格子數目，並且初始路徑的繞道

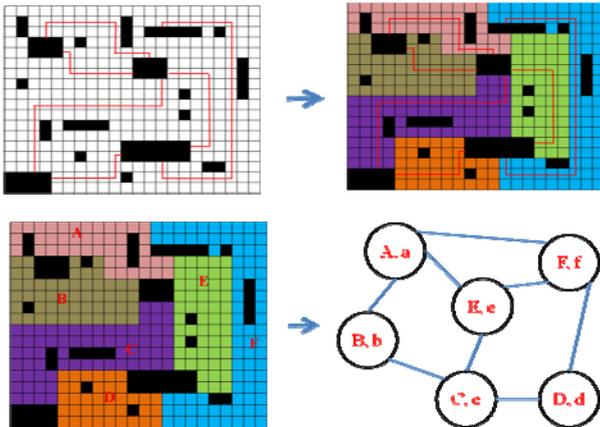
形式也在此產生。額外繞道路徑：利用  $R$  型和  $C$  型繞道的概念將初始路徑中的一些區域設為參考點，利用廣度搜尋從參考點往外擴張，決定該區域可做  $R$  型或  $C$  型繞道。



圖四  $R$  型或  $C$  型繞道

#### E. 符合長度限制的匯流排繞線

依據避開障礙物之最長路徑生成結果，在一個多條線段的繞線平面上，首先根據平面上線段及障礙物和線段的長度限制，將平面分割成許多單一線段且有障礙物的不規則形，並產生能將不規則形包住且最小面積的矩形，將不規則矩形以外的面積設成障礙物，在利用避開障礙物之最長路徑的方法將此矩形的最長線段找出，經由與該線段的長度限制比較後建立線段的供需圖。所產生的最長路徑的長度減去該區域的長度限制為正時，則該區域為可以提供繞線區塊給相鄰區域的區域；反之所產生的最長路徑的長度減去該區域的長度限制為負的，則該區域需要從相鄰區域中取得額外繞線區域。如果所有供需總和為負，則考慮調整繞線平面的大小來滿足線段的長度限制；倘若供需總和為正的，則代表可以經由微調內部不規則矩形切割的面積來達到各線段長度的限制，不用去拓寬繞線平面的大小。經由繞線面積微調與進行避開障礙物之最長路徑的產生，直到滿足所有線段長度的限制，即可找出一個在長度限制下且面積最小的繞線結果。



圖五多線段分割之區域分布

#### 四、結論與討論

本計劃希望針對高密度印刷電路板設計，發

展出滿足匯流排長度限制並達成最少繞線層數與面積的繞線自動化設計系統。依據高密度印刷電路板上元件擺置結果，首先將所有連線區分為不同匯流排的連接，進行匯流排的分層配置使之達成使用層數最少化。本研究群的相關研究結果發表於 IEEE 會議論文 5 篇，並有一篇期刊論文與一篇 IEEE 會議論文已經投稿中。

#### 五、參考文獻

- [1] D. Wiens, "Printed circuit board routing at the threshold," in *White Paper*. Mentor Graphics, 2000.
- [2] L. W. Ritchey and J. Zasio, "Right the First Time, A Practical Handbook on High Speed PCB and System Design," K. J. Knack, Ed. Speeding Edge, 2003.
- [3] L. W. Ritchey, "Busses: What are they and how do they work?" in *Printed Circuit Design Magazine*, Dec. 2000.
- [4] H. Kong, T. Yan, D. F. Wong and M. M. Ozdal, "Optimal bus sequencing for escape routing in dense PCBs," *IEEE/ACM International conference on Computer-Aided Design (ICCAD)*, pp.390-395, 2007.
- [5] L. Luo and D. F. Wong, "Ordered escape routing based on Boolean satisfiability," *Asia South-Pacific Design Automation Conference*, pp.244-249, 2008.
- [6] S L. Luo and D. F. Wong, "On using SAT to ordered escape problem," *Asia South-Pacific Design Automation Conference*, pp.594-599, 2009.
- [7] M. M. Ozdal and M. D. F. Wong, "Algorithmic study of single-layer bus routing for high-speed boards," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 25, no. 3, pp.490-503, 2006.
- [8] M. M. Ozdal and M. D. F. Wong, "A length-matching routing algorithm for high-performance printed circuit boards," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 25, no. 12, pp.2784-2794, 2006.
- [9] T. Yan and M. D. F. Wong, "BSG-Route: A length-matching router for general topology," *International Conference on Computer-Aided Design*, pp.499-505, 2008.
- [10] Y. Kohira, S. Suehiro and A. Takahashi, "A fast longer path algorithm for routing grid with obstacles using biconnectivity based length upper bound," *Asia and South Pacific Design Automation Conference*, pp.600-605, 2009.

# 行政院國家科學委員會補助國內專家學者出席國際學術會議報告

99 年 12 月 6 日

報告人姓名	顏金泰	服務機構 及職稱	資訊工程學系 教授
時間 會議 地點	99/10/3-99/10/6 荷蘭阿姆斯特丹	本會核定 補助文號	
會議 名稱	(中文) 2010 年第二十八屆國際電機電子工程師協會國際電腦設計會議 (英文) 2010 28 <sup>th</sup> IEEE International Conference on Computer Design		
發表 論文 題目	(中文) 針對降低時序功率所設計的可繞性導向的正反器整合程序 (英文) Routability-Driven Flip-Flop Merging Process for Clock Power Reduction		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>10/3 由桃園國際機場搭荷蘭航空 KL0878 班機抵達阿姆斯特丹。10/5 早上發表論文於 Session 3.1: Advances in Physical Design and Synthesis。10/9 由德國法蘭克福轉阿姆斯特丹搭荷蘭航空 KL0877 班機回臺灣桃園國際機場。</p> <p>二、與會心得</p> <p>ICCD 首次在歐洲荷蘭阿姆斯特丹舉行，對於電腦設計研究，國內各大學也積極投入研究，台灣電子工業的發展須由製造為導向轉型研究為導向來發展，才能在電子產業開創新的局面，因此投入電子電路與系統的研究發展應為台灣電子業轉型的關鍵。</p> <p>三、考察參觀活動(無是項活動者省略)</p> <p>無</p> <p>四、建議</p> <p>國內大學研究團隊應多了解電腦設計之研究成果，政府單位應多補助經費鼓勵大學研究成果多多發表於國際學術研討會，以提升國內研究成果。</p> <p>五、攜回資料名稱及內容</p> <p>ICCD 論文光碟片</p> <p>六、其他</p>			

# 國科會補助計畫衍生研發成果推廣資料表

日期:2011/09/21

國科會補助計畫	計畫名稱: 在高密度印刷電路板設計下的匯流排導向繞線系統開發
	計畫主持人: 顏金泰
	計畫編號: 99-2221-E-216-054- 學門領域: 積體電路及系統設計
無研發成果推廣資料	

99 年度專題研究計畫研究成果彙整表

計畫主持人：顏金泰		計畫編號：99-2221-E-216-054-					
計畫名稱：在高密度印刷電路板設計下的匯流排導向繞線系統開發							
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數（含實際已達成數）	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	1	1	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（本國籍）	碩士生	2	2	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	4	4	100%		
		專書	0	0	100%		章/本
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（外國籍）	碩士生	3	3	100%	人次	
		博士生	1	1	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p style="text-align: center;">其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p style="text-align: center;">無</p>
---	--------------------------------------

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

# 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表  未發表之文稿  撰寫中  無

專利： 已獲得  申請中  無

技轉： 已技轉  洽談中  無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

(1) 提出滿足匯流排長度限制並達成最少繞線層數與面積的繞線自動化設計系統方法，希望激勵高密度印刷電路板系統整合的研究。

(2) 希望藉著對滿足匯流排長度限制並達成最少繞線層數與面積的繞線自動化設計系統的研究，能解決高密度印刷電路板的繞線自動化問題，對於超大型積體電路設計自動化的發展有實值的貢獻。

(3) 增加寫程式的能力，有效訓練程式開發人員，有利軟體工業的發展。